面向多维度测量的硅像素探测器读出芯片 IMPix-N1 的设计

宋海声[1]，刘念[1,2]，牛晓阳[2,3,4]，赵承心[2,3,4]

（1.西北师范大学 物理与电子工程学院，兰州 730070；
2. 中国科学院近代物理研究所，兰州 730000；
3.先进能源科学与技术广东省实验室，惠州 516003；
4.中国科学院大学，北京 100049）

摘要：为满足高能物理实验对基本粒子检测和分析的需求，现代像素探测器研发日益趋向追求低功耗、高分辨率、高读出效率的性能要求。本文研究了一款名为 IMPix-N1 的硅像素探测器数模混合读出芯片，像素阵列由 16 行×16 列像素单元构成，每个像素单元面积为 100μm×100μm，像素阵列部分以 1 行×8 列的像素单元为一个超级像素，其具有共同的逻辑电路进行控制。芯片具有像素配置模式和三种像素地址读出方式的工作模式，实现了对击中粒子时间、能量及位置信息的测量、存储及读出。时间数字转换电路（TDC）可以同时测量和记录粒子的到达时间 TOA 和过阈时间 TOT，时间测量精度为 5ns。IMPix-N1 适用于要求高时间、空间分辨率以及快速数据获取能力的粒子探测实验。在 TSMC 180 nm 工艺下，芯片整体使用 digital-on-top 的方法进行设计。本设计对像素单元数字电路、超级像素控制电路和外围数字电路进行仿真验证，前后仿真结果一致，满足设计要求。

关键词：像素探测器；读出芯片；时间数字转换；超级像素；digital-on-top
中图分类号: TN43;TL56　　**文献标志码:**　A　　**DOI：**

1、引言

高能物理和核物理技术持续发展推动了新型探测器技术的发展，其中像素探测器以极高的时间和空间分辨率、较快的响应时间和极低的物质量等优点，在核物理、天体导航、医学成像等领域得以广泛应用[1][2]，像素探测器读出芯片是记录粒子运动数据的重要手段，高精度、高读出效率的读出方案可以显著提高系统性能[3][4]。在兰州重离子加速器（HIRFL, the Heavy Ion Research Facility in Lanzhou）和强流重离子加速器（HIAF, the High Intensity Heavy-ion Accelerator Facility）等大型加速器装置，像素探测器被广泛应用于精确测量束流轨迹、能量信息，监测和诊断束流的特性，如束流强度、束流分布和束流稳定性等[5]。

现代像素探测器，特别是为高能物理应用和实验而设计和构建的像素探测器，通常是为了实现通用读出架构而构建的，而非在速度方面进行专门优化。为了满足物理学家对粒子运动轨迹分析和性能研究的需

收稿日期： 2024-02-20；修改日期：2024-mm-dd
基金项目： 国家自然科学基金 (12305210,12222512)
作者简介： 宋海声(1964—)，男，甘肃甘谷人，教授，研究方向电路理论及应用； E-mail:songhs@nwnu.edu.cn
通信作者： 牛晓阳，E-mail:niuxiaoyang@impcas.ac.cn

求，需要进一步提高探测器的时间、空间和能量分辨率，降低功耗[6~9]。本文设计的像素读出芯片实现了5ns的时间测量精度，读出方式包括了利用对击中信息的判断读出被击中像素地址及数据，以减少像素的死区时间；像素信息数据并行读出，单个像素单元数据信息读出时间为单个系统时钟周期，单帧最大读出时间为 $N \times T_{CLK}$，其中 N 为像素单元个数，以提高读出速度和效率。

2、芯片整体结构与工作原理

IMPix-N1 芯片采用 TSMC 180nm 工艺设计，面积为 5000μm×2880μm，包括像素阵列、偏置电路以及外围数字电路，图 1 所示为芯片的整体结构。16 行×16 列像素阵列划分为 32 个超级像素[10]，每个超级像素以 1 行×8 列的像素单元为一组，且配有一个偏置电路。外围数字电路主要包含了时钟同步电路、数字读出控制和超级像素配置逻辑。共有四种工作模式，包括一种配置模式和三种读出方式。配置模式中通过对模式选择信号 smode 赋值进行工作模式的选择，对配置选择信号 config_sp_fn 赋值实现对像素单元测试和掩码的配置[11]。外围数字电路包含多组寄存器用于存储计数器信息、地址信息以及配置信息。

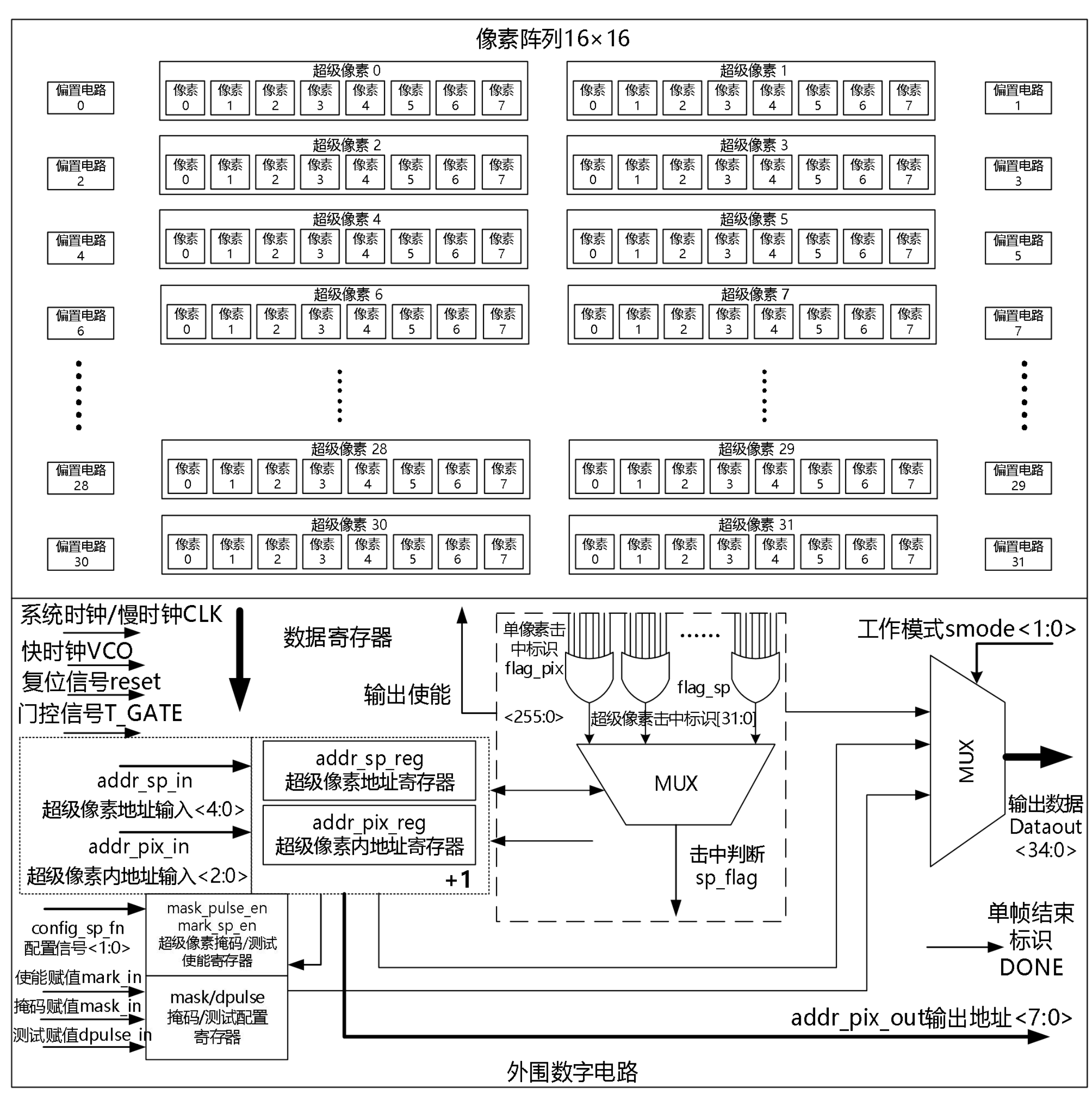


图 1 芯片整体结构

图 2 为像素单元与超级像素结构图。像素单元部分包括模拟前端电路和数字前端电路，其中模拟前端电路包括传感器、电荷灵敏前置放大器、电压比较器和电平转换电路。传感器具有电荷收集二极管和电荷敏感焊盘两种探测方式，通过开关进行选通控制，从而实现收集、转化不同能量入射粒子，可应用于不同的场景[12]。数字前端电路包括用于输入信号和掩码配置的像素配置电路、用于处理并记录数据的时间数字转换（TDC）电路[13]和逻辑控制电路。数字电路具有 2 个时钟域，分别为 40MHz 系统时钟 CLK 和 200MHz 用于提高测量精度的快时钟 VCO[14]。超级像素部分通过超级像素控制逻辑进行掩码和测试信号的选择配置以及记录判断粒子击中情况，超级像素存储像素单元 35bit 的有效数据，且在不同模式下输出不同的数据信息或地址信息。

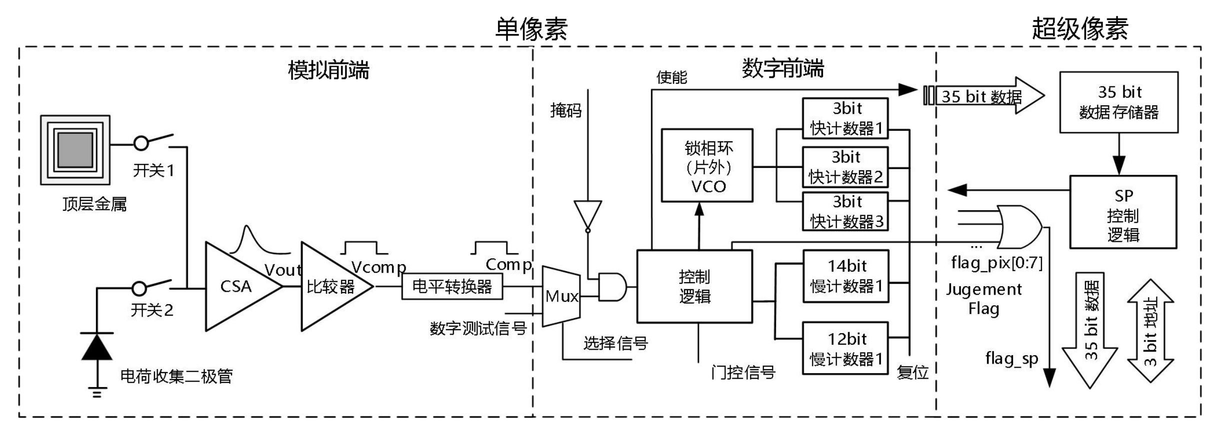


图 2 像素单元与超级像素结构图

芯片通过电荷收集二极管或电荷敏感焊盘这两个传感器收集电荷，通过电荷灵敏前置放大器将模拟信号放大，如果前置放大器输出电压超过比较器的阈值，则比较器输出一个脉冲信号[15]。此脉冲信号的前沿用于测量粒子的到达时间（TOA）；其宽度通过时间数字转换电路实现数字化得到过阈时间（TOT），表征收集到电荷的能量。将每个像素单元进行了地址编码，通过对粒子击中像素单元的地址输出可以得到粒子击中的位置。因此，本芯片可以同时测量、能量和位置信息。以下将主要对芯片中的数字电路的设计进行介绍。

3、芯片关键数字电路设计

3.1 像素单元数字电路

像素单元内的数字电路主要包含像素配置电路、时间数字转换（TDC）电路和逻辑控制电路，其结构如图 3 所示。像素配置电路主要对像素进行两项配置：（1）、通过 mode 信号选择数字前端电路的两种输入信号。其中，一种是模拟前端比较器输出的脉冲信号，另一种是通过芯片外部输入的测试脉冲信号。（2）、对像素配置掩码 mask 信号，用来排查和关闭损坏的像素单元。芯片制造与使用过程中部分像素单元可能会被损坏，损坏的像素单元将产生额外功耗，从而影响芯片性能。通过配置 mask 信号可以屏蔽数字前端电路的输入信号，关闭已经损坏的像素单元。

时间数字转换（TDC）电路采用粗细计数结合的方式以提高时间测量精度。在逻辑电路的控制下，粗计数由 14bit 和 12bit 的慢计数器 Slow Counter1、2 实现，细计数由 3 个 3bit 快计数器 Fast Counter1、2、3 实现。通过粗细计数可以得到粒子的飞行时间 TOF 和过阈时间 TOT，结合控制信号可以得到粒子的到达时间 TOA。

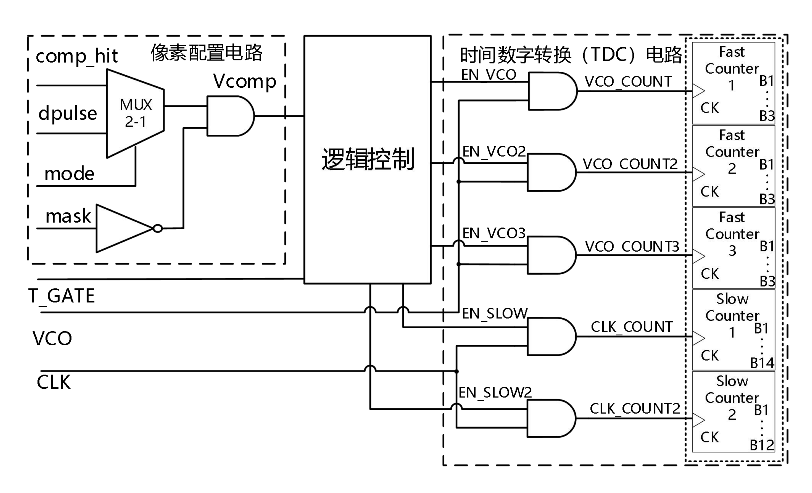


图 3 像素单元数字电路结构

TDC 电路工作时序如图 4 所示。由片外提供系统时钟 CLK 时钟周期 T_{SLOW} 为 25ns，快时钟 VCO 时钟周期 T_{FAST} 为 5ns。时间门控信号 T_GATE 与系统时钟同步，当它为高电平时，为粒子的观测周期，此时像素单元记录粒子信息，当它为低电平时，进行像素配置和信息读出。

TDC 电路处理模拟前端输出的比较器信号 V_{COMP} 时，使用 D 触发器获取 V_{COMP} 边沿信息[9]，并通过与时间门控信号的组合逻辑提取需要计数的波段 EN_VCO 和 EN_SLOW，再将计数波段与所对应的快时钟 VCO 和慢时钟 CLK 进行与运算，得到计数时钟波形 VCO_COUNT 和 CLK_COUNT，最后由粗细计数器分别计数得到时钟脉冲个数，与时钟周期相乘可以得到具体的时间信息。

比较器输出信号 V_{COMP} 经过触发器的下一状态 EN_SLOW2，与系统时钟进行与运算得到计数时钟波形 CLK_COUNT2，采用一个 12bit 二进制计数器计数慢时钟个数 N_{SLOW2}，EN_VCO 与 EN_VCO2 分别为 V_{COMP} 上升沿和下降沿与 EN_SLOW2 产生的时间差，由于它们的长度小于单个系统周期，分别采用两个 3bit 二进制计数器计数快时钟个数 N_{FAST} 和 N_{FAST2}，则 TOT 应为：

$$TOT = T_{SLOW} \times (N_{SLOW2} - 1) + T_{FAST} \times N_{FAST} - T_{FAST} \times N_{FAST2} \qquad \text{（式 1）}$$

粒子的到达时间 TOA 需要先测量观测周期内粒子的飞行时间 TOF，即比较器输出信号 V_{COMP} 上升沿至门控信号 T_GATE 下降沿之间的时间。EN_SLOW 为比较器输出信号 V_{COMP} 经过触发器的下一状态上升沿到 T_GATE 下降沿的波形信号，采用一个 14bit 二进制计数器得到慢时钟个数 N_{SLOW}，由于 T_GATE 信号为片外提供，其下降沿与系统时钟上升沿会产生一个时钟周期的误差，EN_VCO2 为 T_GATE 下降沿与时钟上升沿之间的时间差，采用一个 3bit 二进制计数器得到快时钟个数 N_{FAST3}，则 TOF 应为：

$$TOF = T_{SLOW} \times N_{SLOW} + T_{FAST} \times N_{FAST} - T_{FAST} \times N_{FAST3} \qquad \text{（式 2）}$$

观测周期为 T_{GATE} 的时间内得到的 TOA 为：

$$TOA = T_{GATE} - TOF \qquad (式 3)$$

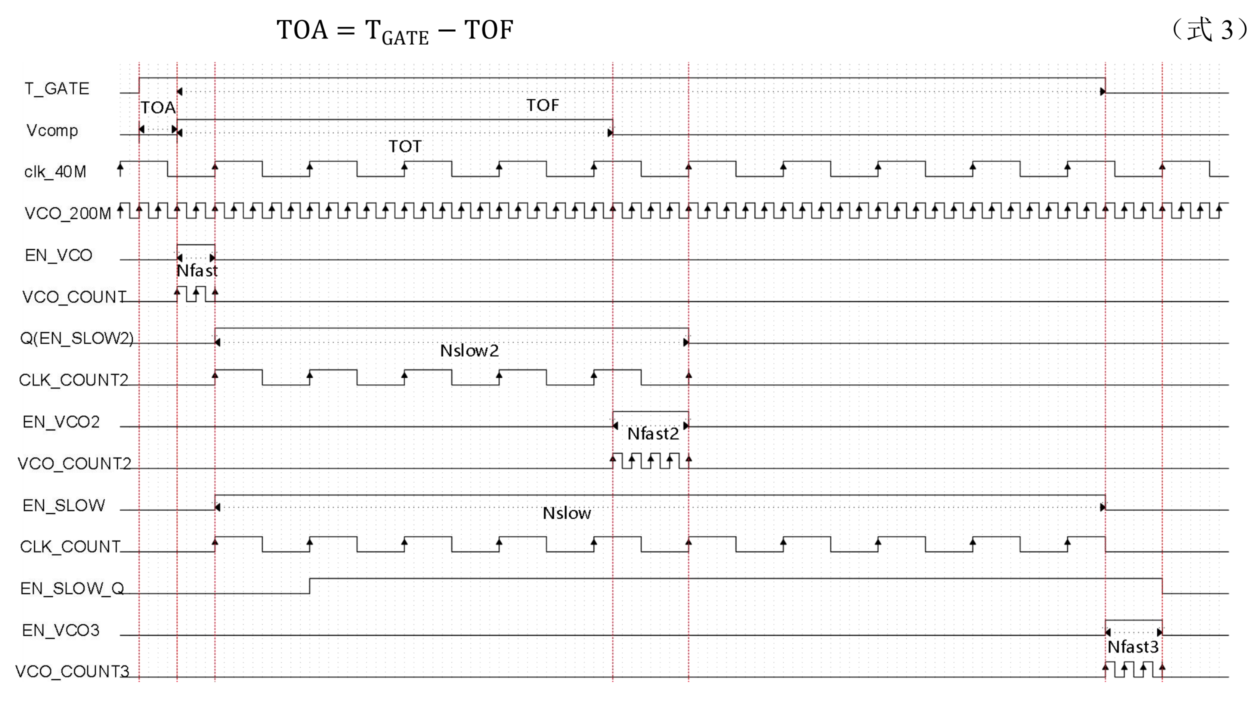
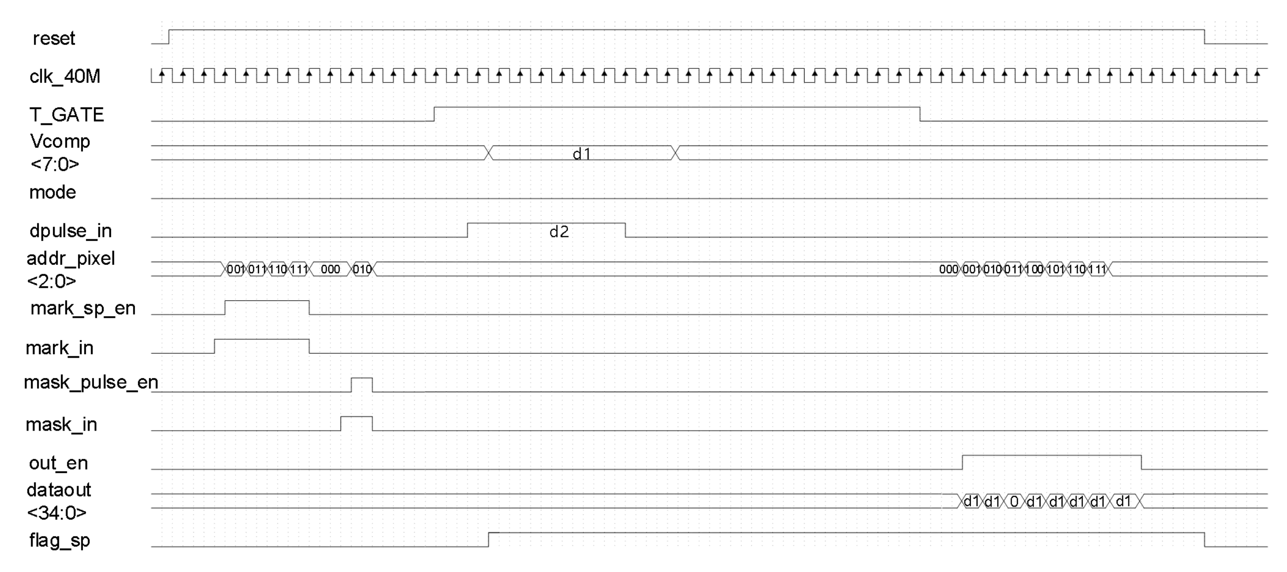


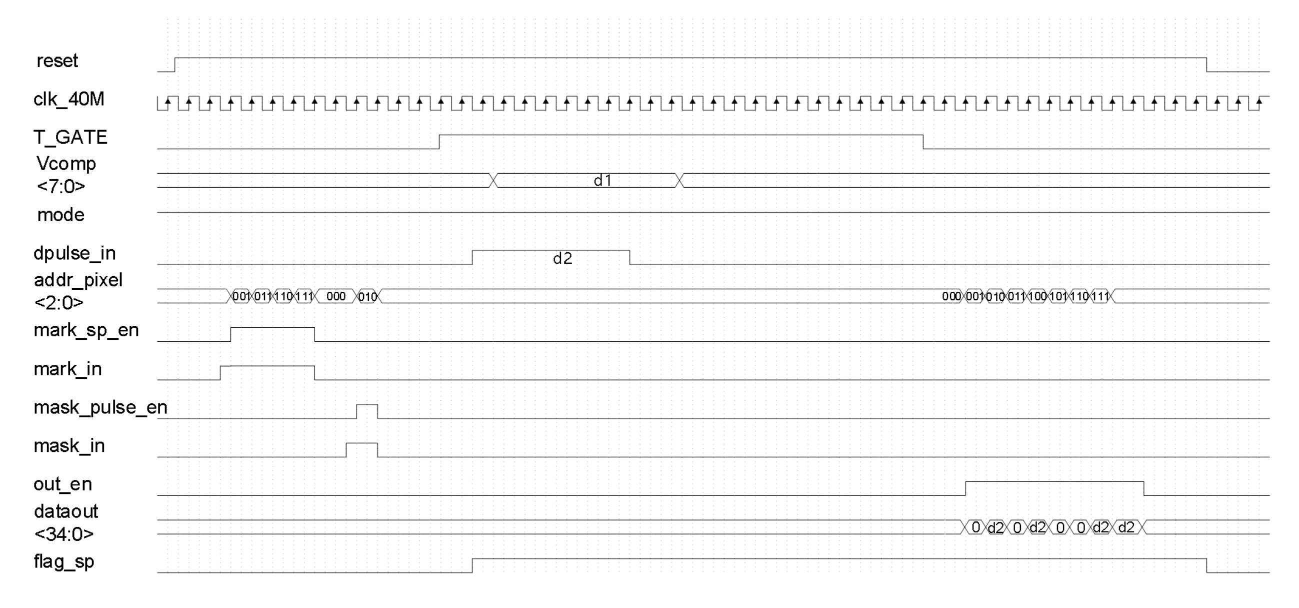
图 4 像素单元时间数字转换（TDC）电路工作时序波形

3.2 超级像素控制电路

由于每个像素单元都具有一组计数器，功耗较大，死时间较长，为了优化读出电路，降低死时间，提高读出效率，同时更好实现像素单元的区域管理，优化版图面积，也便于更加灵活扩展芯片像素阵列规模，本芯片采用了 1 行×8 列个像素单元组成的超级像素通过判断击中情况实现数据驱动读出。每组超级像素的数字电路包括控制电路、用于数据缓存的寄存器和用于存储像素单元配置信息的寄存器。超级像素控制电路的电路逻辑主要包括两方面，一方面是将掩码信号 mask 和数字测试信号 dpulse 根据 3bit 地址寄存器配置到指定像素单元，另一方面是将像素单元数据寄存器内的数据根据不同的输出方式输出到超级像素的不同寄存器中。



（a）mode 低电平时，输入比较器信号 V_{COMP} 时的超级像素电路时序



（b）mode 高电平时，输入数字测试信号 dpulse 时的超级像素电路时序

图 5 超级像素数字电路工作时序波形

超级像素数字控制电路工作时序如图 5 所示。通过 mode 信号选择输入数字电路的信号源，低电平时为比较器信号 V_{COMP}，高电平时选择数字测试信号 dpulse。当芯片像素单元进行工作前，通过超级像素内地址信号 addr_pixel 选择需要进行配置的像素单元。mark_sp_en 为超级像素测试信号使能控制信号，仅当高电平时，对该超级像素的像素单元进行测试信号输入使能进行赋值，mark_in 为测试使能赋值信号，给指定的像素单元测试输入使能进行赋值，高电平打开使能端，测试信号 dpulse_in 输入数字电路寄存器，低电平关闭使能端，测试信号 dpulse_in 将不会输入指定像素，mode 为低电平时测试信号的配置无效。mask_pulse_en 为掩码使能信号，高电平时对超级像素当前地址所对应的像素单元进行掩码配置，mask_in 为掩码赋值信号，输入高电平时，关闭指定像素单元，低电平则打开像素单元。当记录完超级像素所有像素单元信息后，按照地址顺序依次读出各像素单元的计数信息。

图 5(a)所示，mode 低电平，数字电路的输入为 V_{COMP} 时，配置阶段测试信号配置无效，地址为 010 的像素单元掩码 mask_in 为高电平，像素单元关闭，所以仅读出除该地址以外的像素数据，只有该地址像素单元输出 dataout 为 0，其余地址的像素单元输出 dataout 为比较器输出信号的计数信息 d1；图 5(b)中，mode 高电平，输入为数字测试 dpulse 时，配置阶段地址为 010 的像素单元 mask_in 为高电平，像素单元关闭，地址为 001、011、110、111 的像素测试使能 mark_in 打开，具有测试信号输入，读出阶段仅有这四个像素单元输出 dataout 为测试信号的计数信息 d2。

flag_sp 为超级像素击中信号标识，是由 8 个像素单元击中标识信号通过或逻辑运算得到的信号，即超级像素只要有击中时则输出高电平，8 个像素都没有击中时则输出低电平。此信号对外围数字电路读出有判断作用，下文将详细介绍。

3.3 外围数字控制电路

外围数字控制电路包括时钟同步电路和读出电路。时钟和多个控制信号均由片外提供，为避免片外信号通过 IO 输入芯片产生延时造成信号与时钟上升沿不同步，从而影响时序工作。本设计片外提供的控制信号输入片内后通过两个触发器进行时钟上升沿同步。读出电路包含四种工作模式，如表 1 所示，由图 1 所示的 smode 信号切换工作状态。

表 1 外围数字读出电路的四种工作模式

smode	工作模式
00	掩码/测试信号配置模式
01	超级像素命中驱动读出
10	全像素读出
11	地址驱动读出

当 smode=00 时，像素进入掩码/测试信号配置模式，通过配置选择信号 config_sp_fn 进行不同配置方式。config_sp_fn[0]为超级像素掩码使能 mask_pulse_en 和测试使能 mark_sp_en 的配置选择位，高电平时进入测试信号配置，低电平则进入掩码配置，config_sp_fn[1]为使能开关，低电平有效。当配置工作完成后，则开始像素对粒子信息的处理记录工作，计数器对击中信息计数后，工作模式信号 smode 切换其他三种工作模式，选择读出方式[10]。smode=01 时，进入超级像素命中驱动读出模式。像素阵列地址 addr_pixel 由 5bit 超级像素地址 addr_sp 和 3bit 超级像素内地址 addr_pix 组成，默认像素初地址信息为全 0。超级像素内像素单元的击中信号标识 flag_pix 通过或运算得到超级像素的击中标识 flag_sp，对超级像素击中标识位逐个进行判断。如 flag_sp=1，则该超级像素内像素地址 addr_pix 从 3’b000 逐步加 1，输出 35bit 计数器信息，直到像素内地址位增加到最后一个像素地址 3’b111，该超级像素读出完毕后 addr_sp 加 1 再对该 flag_sp 进行判断，flag_sp=0，则输出数据为 0。当一个超级像素判断并读出结束，再进行下一个判断。输出像素计数器信号时，同步输出该像素的地址信息。当最后一个像素单元读出时，结束标志位 DONE 由低电平跳转至高电平，标志单次像素阵列扫描结束，即一帧数据读出结束。每一帧扫描过程中该信号位为低电平。 在下一次扫描开始时由高电平置为低电平，表示下一帧数据的开始。smode=10 时，进入全像素读出模式。超级像素内像素地址 addr_pix 从 3’b000 逐步加 1，输出 35bit 计数器信息，当像素内地址位增加到最后一位，该超级像素读出完毕后 addr_sp 加 1，直到地址 addr_pixel 变为最后一个像素地址 8’b11111111，全部像素计数器数据读出，标志信号 DONE 由低电平置高电平，即一帧数据输出结束。smode=11 时，进入地址驱动读出模式。输入需要获取的像素数据所对应的地址，则可输出对应地址的数据，此时读出电路类似可读 SRAM 存储阵列，该工作模式可以在测试阶段筛选坏点。最终数据为 35bit 计数器信息、8bit 地址信息及 1bit 标识信息组成的 44bit 并行数据。

4、芯片电路实现及完整功能验证

本芯片后端版图设计采用 digital-on-top 的方法，由数字后端工具调用打包后的模拟 IP 进行整体版图的布局布线。利用 Abstract 工具提取模拟 IP 的物理库 LEF 文件，再由 Milkyway 工具转化为数字后端版图工具可识别的单元库 CEL 或 FRAM，还需要根据模拟后仿真报告编写时序库 lib 文件,以进行整体芯片的综合和时序分析。digital-on-top 版图设计方法具有多方面的优势。首先，像素单元数字和模拟部分能够独立设计，不仅有利于模拟电路的优化和复用，还提高了设计的灵活性。其次，由于数字电路高耐噪声和抗干扰性，数字置于顶层调用完整模拟 IP 有助于保护敏感的模拟信号免受干扰。另外，本设计数字与模拟部分之间存在大量的接口连线，为避免绘制大量连线而占用更多的面积资源，通过调用模拟 IP，可简化接口设计，提升了整体的集成度的同时，也为后续的功能扩展提供了便利。总之，digital-on-top 版图设计方法实现了模块化、优化了抗干扰性，并提高了设计的整体性和扩展性。

整体芯片的版图如图 6 所示，包括数字/模拟 IO、像素阵列及其偏置电路还有数字外围电路。

图 6 IMPix-N1 芯片整体版图

4.1 像素单元电路功能验证

以 5Ke-电荷输入量为例，对单个像素单元进行数模混仿，结果如图 7 所示。如图 7.(a)所示，比较器信号 V_{COMP} 脉冲宽度为 32010ns-1165ns=30845ns，到达时间为 1165ns-505ns=660ns，dataout 输出结果十六进制 394C664D3，换算进制后通过式 1-式 3 可计算：

$$TOT=30850ns+20ns-25ns=30845ns$$

$$TOF=79350ns+20ns-30ns=79340ns$$

$$TOA=80000ns-79340ns=660ns$$

数字部分输出结果计算得到的 TOT 与 TOA 的值与模拟前端比较器输出信号一致。

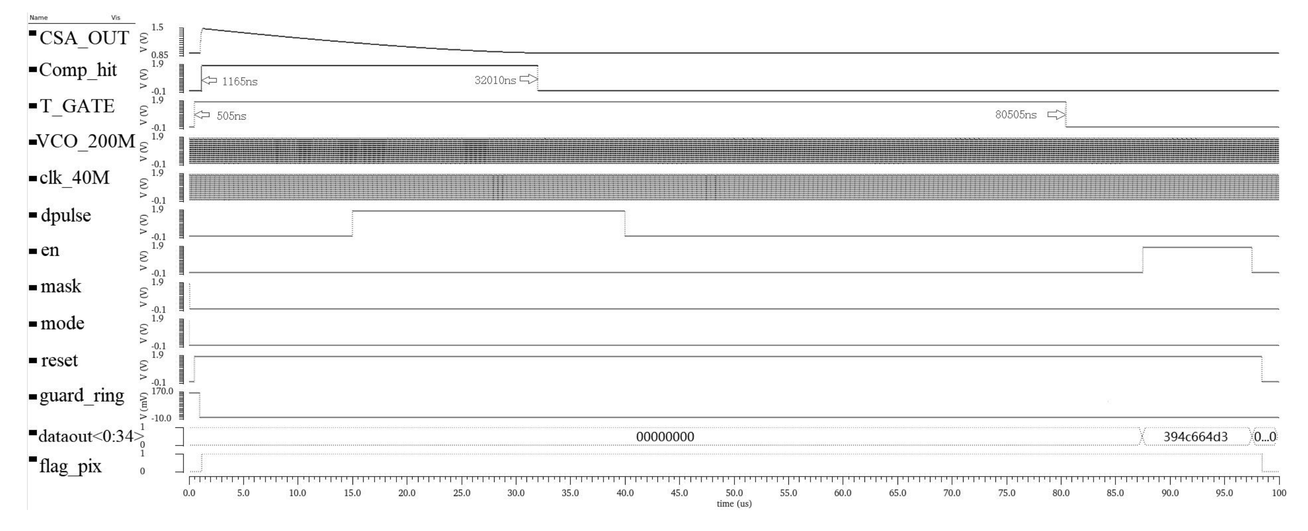
如图 7.(b) 所示，数字测试信号 dpulse 脉冲宽度为 40005ns-15005ns=25000ns，到达时间为 15005ns-505ns=14500ns，dataout 输出结果十六进制 5B4C3C3E9，换算进制后通过式 1-式 3 可计算：

TOT=25000ns+20ns-20ns=25000ns

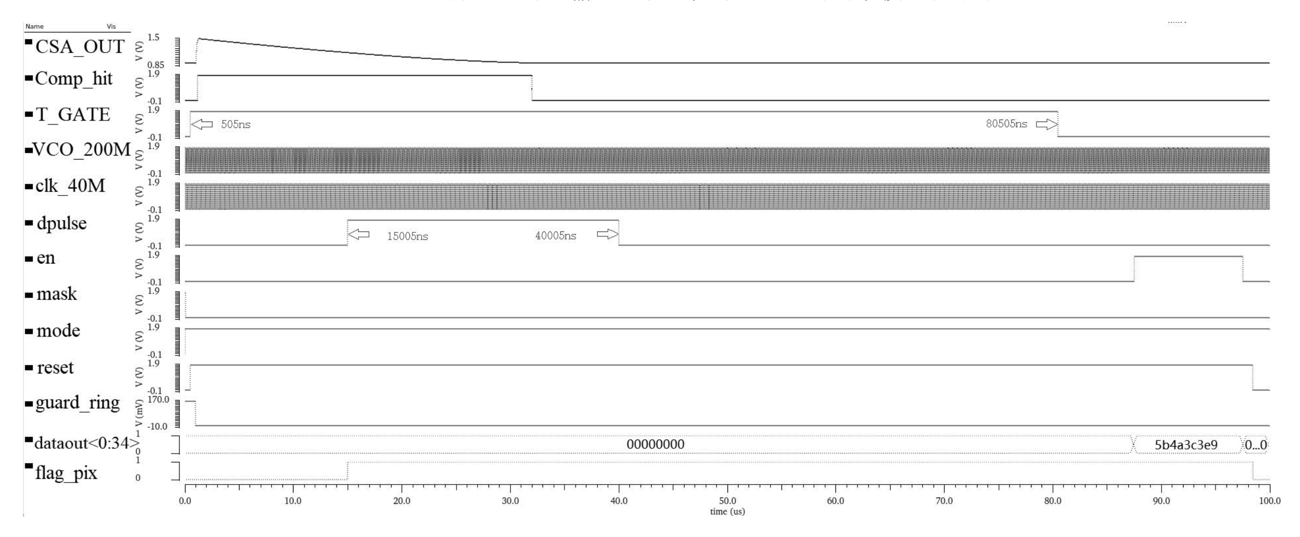
TOF=65500ns+20ns-20ns=65500ns

TOA=80000ns-65500ns=14500ns

数字部分输出结果计算得到的 TOT 与 TOA 的值与数字测试信号输出信号一致。



（a）mode 低电平时，输入比较器信号 V_{COMP} 时的数模混仿结果



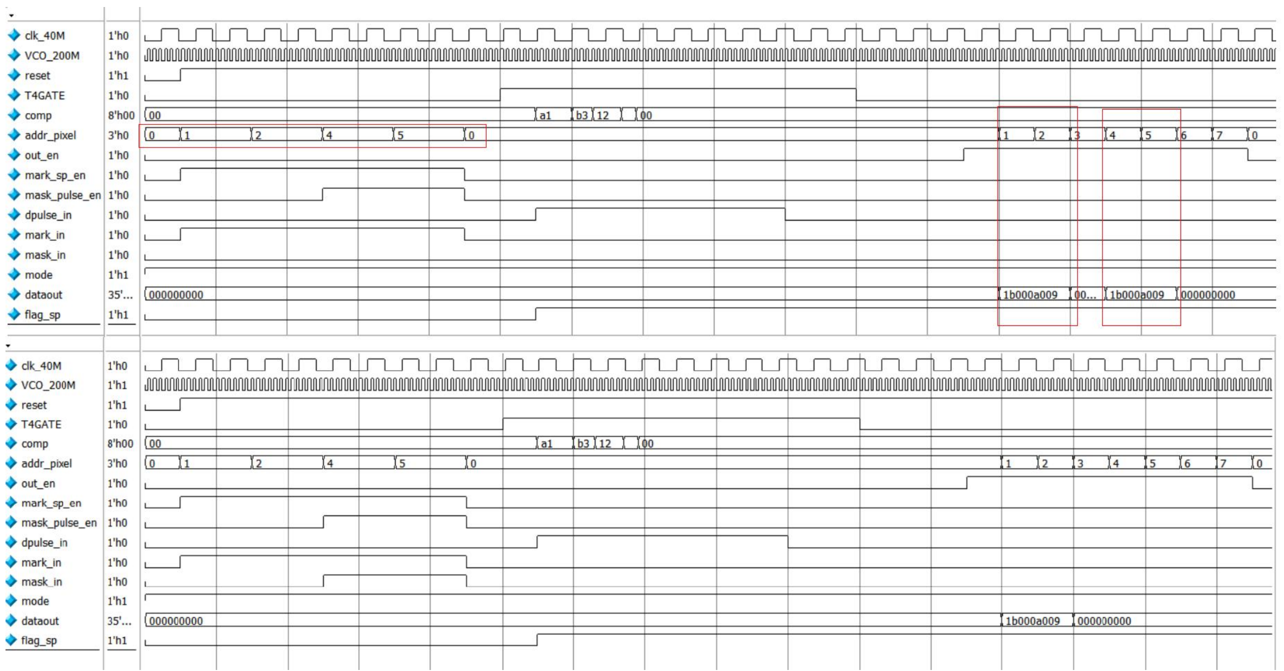
（b）mode 高电平时，输入数字测试信号 dpulse 时的数模混仿结果

图 7 像素单元数模混仿结果

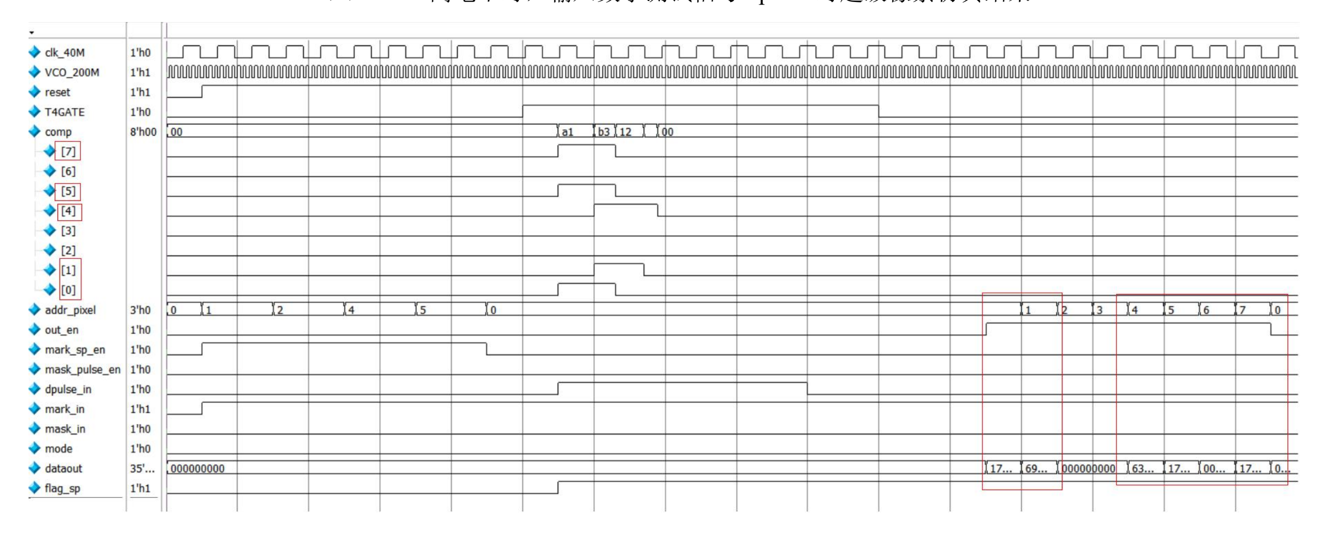
像素单元电路进行数字仿真和数模混合仿真结果显示，时间数字转换器（TDC）电路能够有效地测量过阈时间（TOT）、粒子飞行时间（TOF）以及粒子到达时间（TOA）。该电路通过一组计数器输出 35bit 的计数器测量结果，计数精度与测试信号的误差控制在 5ns 以内，确保了电路功能的准确性，满足了时间分辨率的性能指标。 从时序分析结果来看，TDC 逻辑控制电路及计数器内的触发器均能被准确触发，得到的边沿信号与时钟上升沿同步。同时，电路能够在既定的时钟频率下稳定运行，通过使能信号控制读出信息，展现出良好的时序性能。

4.2 超级像素数字电路功能验证

超级像素电路代码设计调用了像素单元数字前端电路模块，并设计了对像素单元的控制逻辑，利用仿真器对超级像素控制电路仿真，仿真结果如图 8 所示。图 8.(a)结果显示，当 mode 为高电平时，输入信号为数字测试信号 dpulse，像素测试信号使能控制信号 mark_sp_en 和使能赋值信号 mark_in 信号拉高，打开像素 1、2、4、5 的测试信号使能端，使其在信息采集阶段测量数字激励，可以观察到像素 1、2、4、5 的 dataout 输出相同计数结果，其他未击中像素输出 0。而掩码配置使能信号 mask_pulse_en 和掩码赋值信号 mask_in 信号拉高，打开像素单元 4、5 的掩码，关闭像素单元。结果显示，像素 1、2 的 dataout 输出相同计数结果，而由于像素单元 4、5 关闭，即使配置测试信号，输出 0，同时其他未配置像素单元输出也为 0。图 8.(b)结果显示 mode 为低电平时，输入信号为前端模拟比较器输出信号 VCOMP，其中像素单元 0、1、4、5、7 五个像素前端比较器信号有高电平输出，像素单元 0、5、7 输出相同的比较器信号，输出使能 en 为高电平时，依次输出 8 个像素地址所对像素的计数信息。像素单元 0、1、4、5、7 有输出信息，且像素单元 0、5、7 输出相同结果，其他未击中像素输出为 0。



（a）mode 高电平时，输入数字测试信号 dpulse 时超级像素仿真结果



（b）mode 低电平时，输入为比较器信号 VCOMP 时超级像素仿真结果

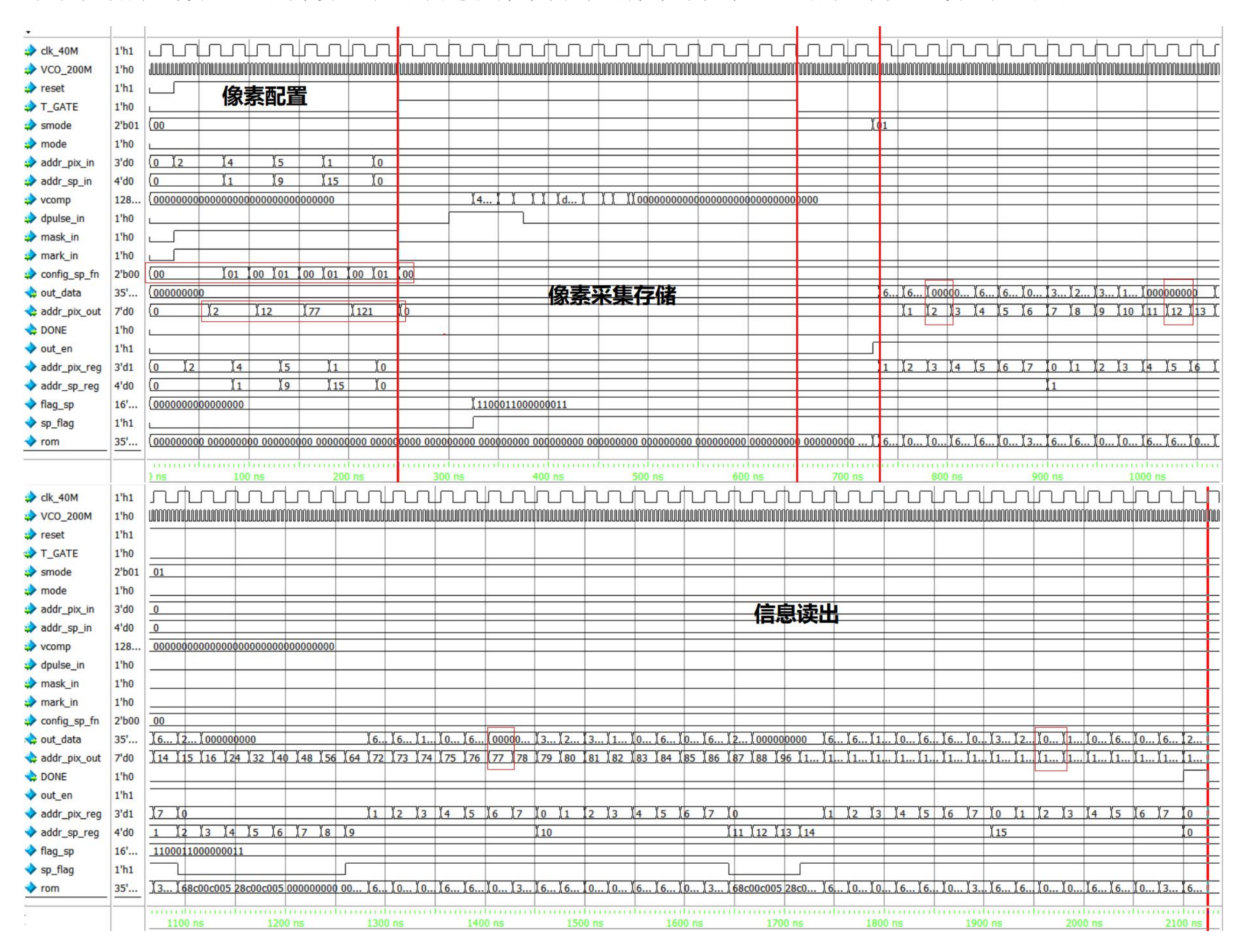
图 8 超级像素控制电路数字仿真结果

超级像素仿真结果显示，在电路功能方面，通过配置选择信号及输入地址信号，对超级像素内的像素

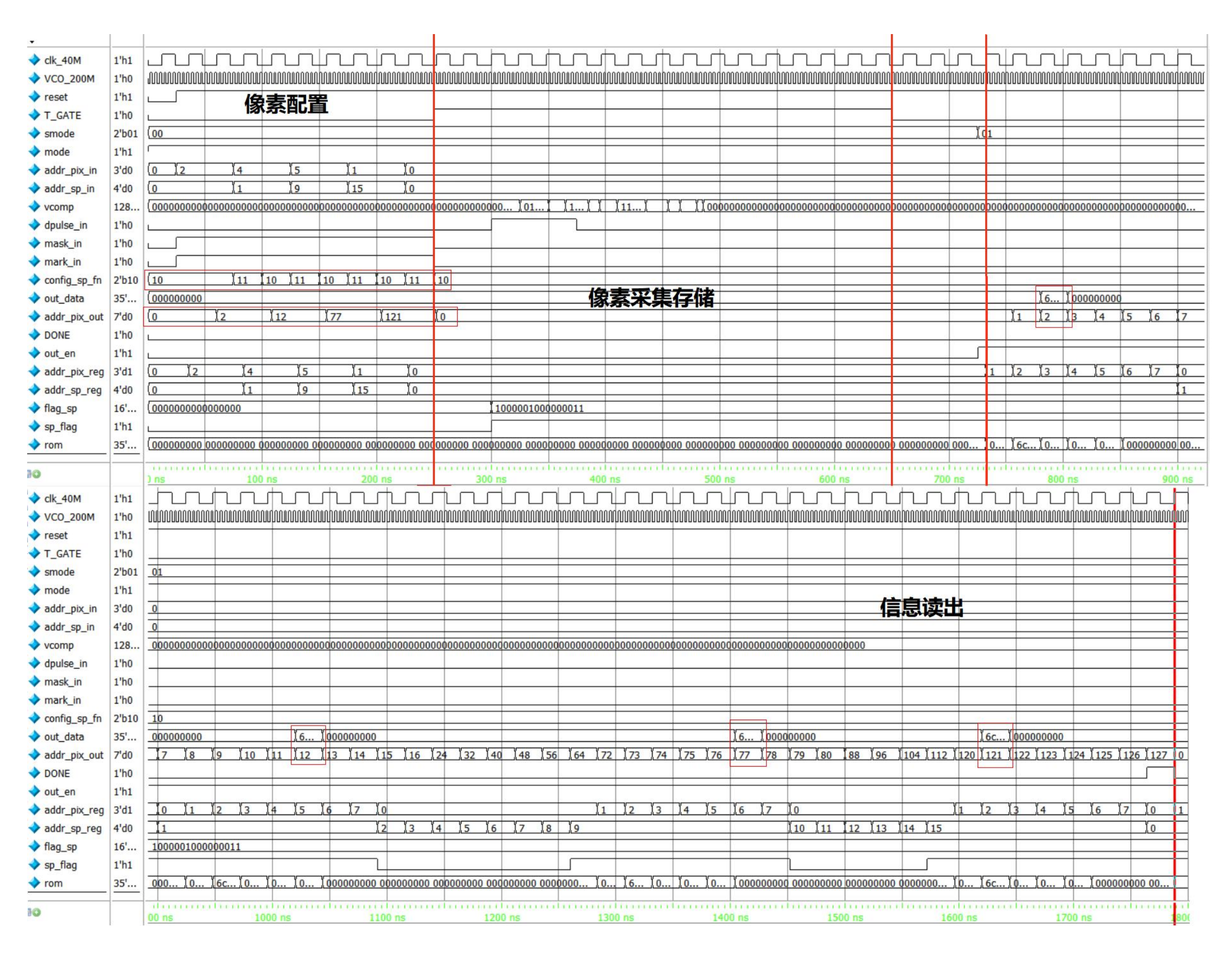
单元进行测试信号和掩码赋值。另外，时序要求方面，超级像素内按地址读出过程中读出信号与地址信号之间无高延时同步输出。掩码配置信号优先级高于测试信号和模拟信号，确保了读出芯片在关闭坏点的过程中不会增加额外的功耗，从而实现了降低整体功耗的目标。

4.3 外围数字读出电路功能验证

图 9.（a）为超级像素命中模式下，输入比较器输出信号 VCOMP 的时序仿真结果，配置阶段打开像素单元 2、12、77、121 的掩码，读出阶段从第一个超级像素开始判断是否存在击中，若有击中信号则依地址次序读出该超级信号内的像素单元的计数信息，同时读出该像素地址，若该像素单元内无击中像素，则输出为 0，超级像素地址加 1，判断下一个超级像素，直至最后一个超级像素读出完毕，帧结束标志 DONE 由低电平变高电平，单帧工作结束。在测试文件中像素单元 2、12、77、121 赋予了输入信号，由于这些像素单元掩码 mask 打开，像素被关闭，所以读出结果为 0。图 9.（b）为超级像素命中模式下，输入数字测试信号的时序仿真结果，在像素信息读取前进行像素信息的配置，可以从波形看出像素单元 2、12、77、121 配置了测试信息，输出结果来看仅这四个像素单元有读出信号，其他像素读出为 0，且按照超级像素命中驱动方式读出，不会读出未击中超级像素内部的像素单元信息，减少了大量读出死时间。



（a）mode=0，smode=01，输入比较器信号 V_{COMP} 时的外围数字仿真结果



（b）mode=1，smode=01，输入数字测试信号 dpulse 时的外围数字仿真结果

图 9 外围数字电路仿真结果

通过整体数字仿真结果分析，数字读出电路单帧工作状态分为三个阶段，首先在像素配置阶段在门控信号 T_GATE 到达前。此阶段先对片内输入地址，选择特定的像素单元进行配置，地址由超级像素地址 addr_sp 和超级像素内地址 addr_pix 组成，利用 config_sp_fn 信号对使能信号的选控，将掩码输入信息和数字测试信号输入像素单元。第二阶段采集信号在门控信号 T_GATE 到达时开始，根据模式信号 mode 选择不同输入信号进行测量和存储。最后一个阶段，smode 信号切换成三种读出方式任意一种，触发读出控制使能，此时根据不同的读出模式，电路将基于地址进行读出操作，输出计数器信息 out_data 和相应的像素单元地址信息 addr_pix_out。读出过程结束时，DONE 信号被置高，标志着单帧工作的完成。实现了从像素配置，到粒子信息处理和存储，最后寻址读出的完整过程。三种读出方式均能满足时序要求，实现了基于地址的并行读出，确保了读出信号与地址信号之间无延时。仿真结果显示，单像素读出时间仅为一个时钟周期，像素间连续读出，无高延时和传输冗余，响应速度快，符合设计要求。

5、结论

本文在 TSMC 180nm 工艺下，使用 digital-on-top 方法设计了一款数模混合的像素探测器读出芯片 IMPix-N1，芯片面积为 5000μm×2880μm。。芯片包括像素阵列、偏置电路及外围数字电路，引入超级像素架构，通过时间数字转换（TDC）电路实现对粒子的过阈时间 TOT、粒子飞行时间 TOF 及到达时间 TOA 的测量，时间测量精度为 5ns。在高能物理实验应用中，对于捕捉和分析高速粒子事件具有显著的优势。设计了四种工作模式包括配置模式和三种读出方式，实现了像素配置，粒子信息测量、记录、处理和存储以及寻址读出的完整过程。其中主要的读出方式通过对超级像素击中信息的判断，仅读出击中超级像素内各像素单元的信息，单个像素信息读出时间为一个系统时钟周期 25ns，最大读出时间为全像素读出 256×25ns=6400ns，大大提高了像素芯片读出速度，减少了死时间，优化了芯片的读出性能。同国际先进像素探测器读出芯片相比较，IMPix-N1 芯片拥有较高的时间分辨率，同时多种读出方式使得芯片可以在不同场景中应用，拓宽了像素探测器读出芯片的发展方向。digital-on-top 设计方法，简化了版图设计流程，提高了芯片的集成度，优化了面积使用率，有效降低了制造成本。

参考文献（References）

[1] WANG Meng. Introduction to monolithic active pixel detectors[J]. Journal of Shandong University (Science Edition),2011,46(10):75-80 (in Chinese).

(王萌.单片式有源像素探测器简介[J].山东大学学报(理学版),2011,46(10):75-80.)

[2] DENG Wenjing,YIN Zhongbao,WANG Yaping,et al. Progress of monolithic pixel detector and its application[J].Chinese Science: Physics, Mechanics, Astronomy,2023,53(09):233-240 (in Chinese).

(邓文静,殷中宝,王亚平等.单片型像素探测器及其应用研究进展[J].中国科学:物理学 力学 天文学,2023,53(09):233-240.)

[3] ZHAO Cong. Research and design of a series of driver chips applied to high-speed optical communication in large-scale high-energy physics experiments[D].Wuhan:Central China Normal University,2023(in Chinese).

(赵聪.应用于大型高能物理实验高速光通信中系列驱动芯片的研究与设计[D].武汉：华中师范大学,2023.)

[4] LIU Haodong. Research on digital readout circuit of high voltage CMOS pixel detector[D].Jinan:Shandong University,2023.

(刘浩东.高压 CMOS 像素探测器数字读出电路研究[D].济南：山东大学,2023)

[5] XIA Jiawen,ZHAN Wenlong,WEI Baowen,et al.Lanzhou heavy ion gas pedal research facility HIRFL[J].Science Bulletin,2016(4):11.DOI:10.1360/N972015-00472.(in Chinese).

(夏佳文,詹文龙,魏宝文,等.兰州重离子加速器研究装置 HIRFL[J].科学通报，2016(4):11.DOI:10.1360/N972015-00472.)

[6] YAMADA M,ONO S,TSUBOYAMA T,et al. Development of monolithic pixel detector with SOI technology for the ILC vertex detector[J]. Journal of Instrumentation,2018,13(01):C01037-C01037.DOI:10.1088/1748-0221/13/01/C01037.

[7] BALLABRIGA R,CAMPBELL M,LLOPART X. Asic developments for radiation imaging applications: The medipix and timepix family[J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment,2018,878:10-23.DOI:10.1016/j.nima.2017.07.029.

[8] HE R,NIU X Y,WANG Y,et al. Advances in nuclear detection and readout techniques[J]. Nuclear Science and Techniques,2023,34(12):205.DOI:10.1007/s41365-023-01359-0

[9] GABRIELLI A. Fast readout architectures for large arrays of digital pixels: Examples and applications[J]. The Scientific World Journal,2014,2014.DOI:10.1155/2014/523429

[10] LLOPART X,ALOZY J,BALLABRIGA R,et al. Timepix4, a large area pixel detector readout chip which can be tiled on 4 sides providing sub-200 ps timestamp binning[J].Journal of Instrumentation,2022,17(01):C01044.DOI:10.1088/1748-0221/17/01/C01044.

[11] SONG Yue.Design of pixel priority readout circuit for X-ray detector[D].Harbin:Harbin Institute of Technology,2020.(in Chinese).

(宋玥.X 射线探测器像素优先级读出电路的设计[D].哈尔滨：哈尔滨工业大学,2020.)

[12] JING Liuqing. MAPS pixel design for particle detection in high energy physics[D].Harbin:Heilongjiang University,2023.(in Chinese).

(井柳清.用于高能物理粒子探测的 MAPS 像素设计[D].哈尔滨：黑龙江大学,2023.)

[13] YUE Zhuang,LIU Jun,SUN Xiangming,et al. Two-step TDC design based on counting clock[J].Electronic Design Engineering,2021,29(19):7-12.DOI:10.14022/j.issn1674-6236.2021.19.002(in Chinese).

(岳壮,刘军,孙向明等.基于计数时钟的两步式 TDC 设计[J].电子设计工程,2021,29(19):7-12.DOI:10.14022/j.issn1674-6236.2021.19.002)

[14] POIKELA T,PLOSILA J,WESTERLUND T, et al.Timepix3:a 65K channel hybrid pixel readout chip with simultaneous ToA/ToT and sparse readout[J]. Journal of instrumentation,2014,9(05):C05013.DOI:10.1088/1748-0221/9/05/C05013.

[15] ZHU Zhirui. Particle detector readout circuit design [D].Nanjing:Southeast University,2018.(in Chinese).

(朱志锐.粒子探测器读出电路设计[D].南京：东南大学,2018.)

Design of IMPix-N1, a silicon pixel detector readout chip for multi-dimensional measurements

SONG Haisheng[1]，LIU Nian[1,2]，NIU Xiaoyang[2,3,4]，ZHAO Chengxin[2,3,4]

(1.Northwest Normal University College of Physics and Electrical Engineering,Lanzhou 730000；

2.Institute of Modern Physics, Chinese Academy of Sciences，Lanzhou 730000；

3. Guangdong Provincial Laboratory of Advanced Energy Science and Technology, Huizhou 516003;

4. University of Chinese Academy of Sciences, Beijing 100049)

Abstract: In order to meet the demand for elementary particle detection and analysis in high-energy physics experiments, modern pixel detector increasingly tends to pursue the performance requirements of low power consumption, high resolution, and high readout efficiency.This paper describes a silicon pixel detector digital-analogue hybrid readout chip named IMPix-N1. The pixel array consists of 16 rows × 16 columns of pixel units, each with an area of 100 μm × 100 μm, and the pixel array part is controlled by a 1-row × 8-column pixel unit as a superpixel, which has a common logic circuit. The chip has a pixel configuration mode and three pixel address readout modes of operation, which realises the measurement, storage and readout of the time, energy and position information of the hitting particles. The time-to-digital conversion circuit (TDC) can simultaneously measure and record the arrival time TOA and the over-threshold time TOT of the particles, with a time measurement accuracy of 5 ns. The IMPix-N1 is suitable for particle detection experiments requiring high temporal and spatial resolution as well as fast data acquisition capabilities.The chip as a whole is designed using the digital-on-top methodology in TSMC 180nm process. The design is simulated to verify the digital circuit of the pixel unit, the super pixel control circuit and the peripheral digital circuits, and the before and after simulation results are consistent and meet the design requirements.

Keywords: pixel detector; readout chip; time-to-digital conversion; superpixel; digital-on-top

Received date：2024-02-20; **Revised date**：2024-mm-dd

Foundation item：National Natural Science Foundation of China (NSFC) (12305210，12222512)

Author：SONG Haisheng(1964—)， E-mail:songhs@nwnu.edu.cn

Corresponding author： NIU Xiaoyang，E-mail:niuxiaoyang@impcas.ac.cn